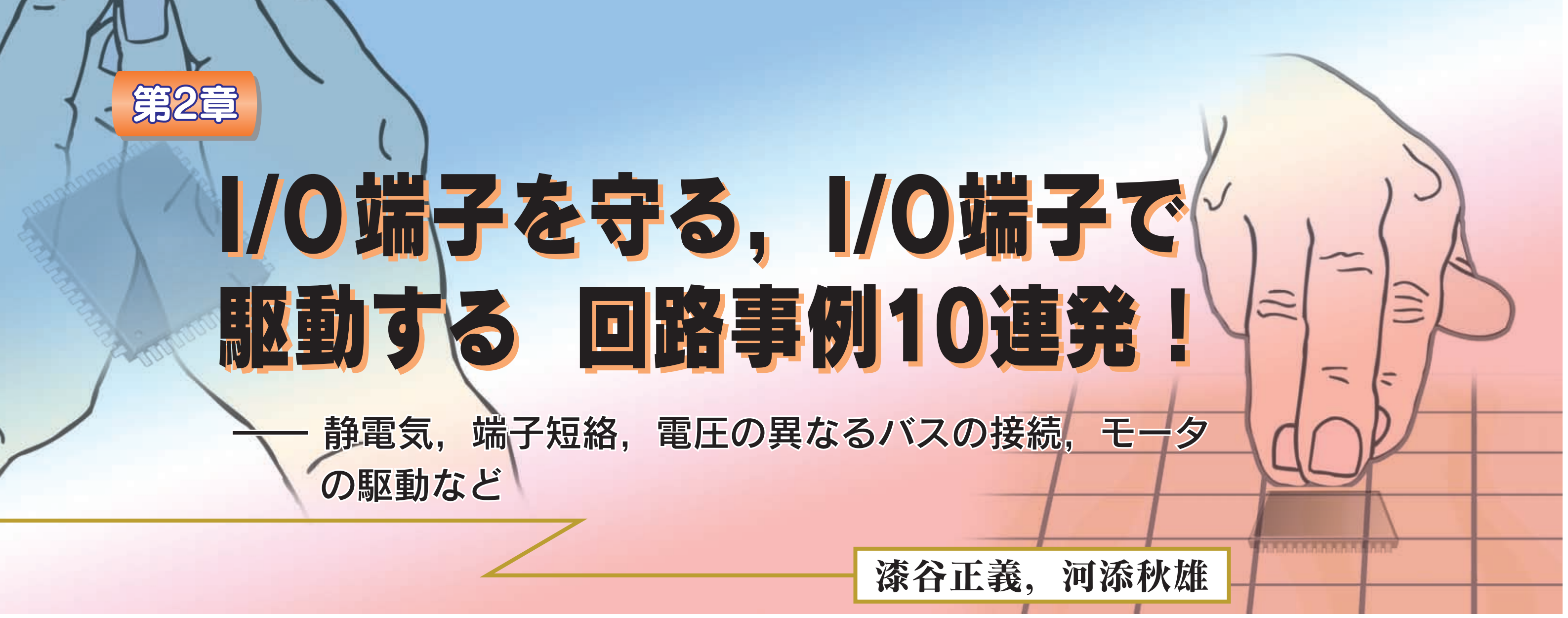


第2章

I/O端子を守る，I/O端子で駆動する　回路事例10連発！

―― 静電気，端子短絡，電圧の異なるバスの接続，モータの駆動など

漆谷正義，河添秋雄

本章の前半では，FPGAやDSP，マイコンなどのI/O端子を，静電気や端子短絡，過電圧などから守る方法について紹介する．I/O端子の先につながるのは，同じ電圧で動作するLSIばかりではない．そのため端子どうしをインターフェースするICが必要になる．また，I/O端子の先につながるのは，同じ基板に実装されたLSIだけでもない．PCIバスやI^2Cバス，データ・バス，メモリ・バスなどさまざまな信号線がワイヤ・ハーネスやフレキ・ケーブル，コネクタを介し，ほかの基板と接続されるのである．そのためI/O端子を静電気や端子短絡から守る部品が必要になる．ここではLSIとLSIを快適にインターフェースするための方法について，回路事例とともに紹介する．本章の後半では，FPGAやDSP，マイコンからモータやリレーを駆動する方法を紹介する．例えば，監視カメラの雲台を制御したり，録画のON/OFFボタンを制御できる．　（編集部）

本章で紹介する回路事例を下掲の表1にまとめました．また，それぞれの事例について，対策のかぎとなるデバイスと技術の要点を明記してあります．回路には定数や型名なども明記してあるので，すぐに実践に役立つでしょう．

しかし，対策回路をそっくり真似れば対策は万全というわけではありません．LSIの持っている駆動能力や伝送形態，伝送波形の振幅，伝送する信号の周波数などをよく理解し，伝送する信号の品位を保つためにいちばん良い対策部品を探す必要があるでしょう．

表1　本稿で紹介する回路事例

	回路事例	キー・パーツ	技術ポイント	ページ
1	外付け回路による短絡や過電圧による内部破壊を防ぐ	オープン・コレクタ出力用IC，集合抵抗	信号線の絶縁なら標準ロジックICで十分	p.99
2	静電気による内部回路の破壊を防ぐ	ツェナー・ダイオード，バリスタ	バリスタやツェナー・ダイオードの特徴を理解し使い分ける	p.102
3	コモン・モード・ノイズが伝送線路に重畳するのを防ぐ	LVDSインターフェース用IC	差動伝送線路で同相ノイズをキャンセルする	p.104
4	I/O端子電圧が1.8VのLSIに振幅5Vの信号を接続したい	入力トレラント・インバータ，オープン・ドレイン・バッファ	レベル変換ICを周辺回路との間に挿入する	p.105
5	出力端子に大きな容量成分がぶら下がって波形がなまるのを防ぐ	汎用ロジックIC，イコライザ，LVDS-LVDSバッファ	伝送路の長さや信号周波数でドライブICを使い分ける	p.106
6	I/O端子に信号が加わっているときにLSIの電源を先に落としたい	入力トレラント・インバータ，オープン・ドレイン・バッファ	周辺回路の電源からLSIの入力端子に電流が流れ込まない回路構成にする	p.108
7	直流12VをリレーでON/OFFする際のノイズや消費電力を抑えたい	半導体リレー，フォトMOSリレー	機械式接点のない半導体リレーやフォトMOSリレーを使う	p.110
8	外部回路との絶縁を確保したい．通常のリレーでは発熱や消費電力が気になる	ラッチング・リレー	ラッチング・リレーはコイルに通電しておく必要がない	p.112
9	ソレノイドを数百mAの電流で駆動したい	ダーリントン・トランジスタ，ソレノイド	トランジスタ1石では，ソレノイドを駆動しきれない．ダーリントン接続で駆動する	p.114
10	フラッシュ用白色LED3本を80mAの電流で駆動したい	LEDドライバ	多数ある専用ICを知っていれば設計が楽になる	p.116

KeyWord　静電気，コモン・モード・ノイズ，過電圧，短絡，モータ，ソレノイド，リレー，レベル変換，白色LED

外付け回路による短絡や過電圧による内部破壊を防ぐ

key parts
オープン・コレクタ出力用IC，集合抵抗

短絡と過電圧の対策はオープン・コレクタ出力をもつ標準ロジックICで十分

point

解決すべき課題

FPGAやマイコンの出力端子がグラウンドに短絡されたり，外部から電圧が加えられると，図1-1のように素子内部のCMOS出力回路のPチャネル，あるいはNチャネルMOSFETには定格以上の電流が流れることになり，素子の破壊につながります．

FPGAやマイコンの出力端子が短絡や過電圧など，素子の定格を越える状態にさらされる危険性は，

- 外部回路との相対電位差が大きいとき
- インターフェース振幅が異なるとき
- 流入ノイズが大きいとき
- 静電気が発生するとき

など，劣悪環境においてはいくらでもあります．対策としてフォトカプラやリレー，SSR（solid-state relay）などの絶縁回路を使う方法が確実ですが，グラウンドを分離する必要がない場合は，オープン・コレクタ出力という方法があります．これを「ケース1」として，初めに詳しく説明します．

また，内部回路の間でも，出力端子から定格を越える電流が流出（あるいは流入）する場合があります．図1-2はFPGAとマイコンをバス接続したうちの1本です．マイコンはパーシャル・パワー・ダウンにより通常は電源がOFFしているとします．もし，FPGAの出力が“H”なら，図の矢印の方向に大きな電流が流れます．この場合，相手側の電源端子は，パワー・ダウン状態ではグラウンドに短絡していると考えて差しつかえありません．FPGAは初期状態では出力端子をハイ・インピーダンスの状態になるようにプログラムしているはずであり，このようなことは起こりえないように思えます．しかし，まちがってまったく違った回路情報を書き込んだとしたらどうでしょうか．また，開発当初に部分的なプログラミングの状態で動かした場合など，出力端子を連続的に“H”としてしまう可能性は十分あります．

単に1～2本の端子がグラウンドに落ちたとしても，FPGAが焼損するようなことはまずありません．バス・ラインが怖いのは，8本あるいは16本の端子が同時にグラウンドに落ちてしまう，あるいは電源に接続されるため，FPGAにおける損失がきわめて大きくなり，素子を触わるとやけどするほどの温度に上昇することがあります．1個数万円のFPGAを壊した…だけでは済まず，基板が使えなくなるかもしれません．これを「ケース2」として後で説明します．

●「ケース1」の対策

標準ロジックIC「74HC05」には，CMOSタイプのインバータが6個入っています．「74LS06」はTTLタイプです．端子配列はどちらも同じで，図1-3のようになっています．いずれもオープン・コレクタ出力ですが，内部回路は図1-4のように74HC05はNチャネルMOSFETのドレイン，74LS06はショットキー接合型トランジスタのコレクタがつな

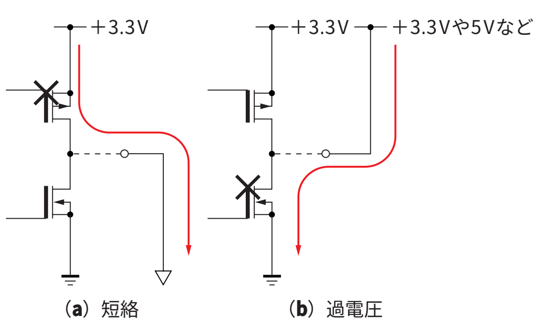


図1-1　出力端子の短絡や過電圧印加時の電流経路
規格以上の電流が流れると素子の破壊につながる．

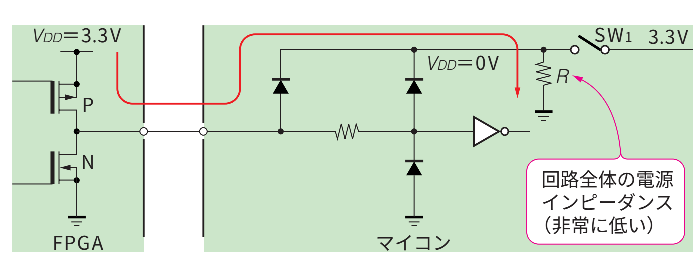


図1-2　パーシャル・パワー・ダウン時の短絡電流の経路
FPGAの出力が“H”なら赤い矢印の方向に大きな電流が流れる．



がっています．したがって，どちらも“H”を作るには，コレクタを抵抗でプラス電源にプルアップする必要があります．このため電流ソース能力が低くなり，“L”→“H”のスイッチング速度はCMOS出力に比べて遅くなります．

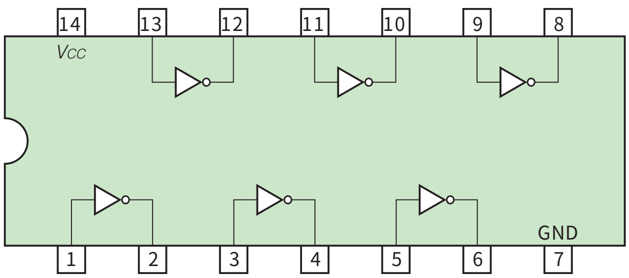


図1-3　74HC05と74LS06の端子配列
74HC05はCMOSタイプ，74LS06はTTLタイプ．

オープン・コレクタ出力どうしを結線すると，ワイヤードOR（負論理）またはワイヤードAND（正論理）の機能が実現できます．I^2Cバスはこれを利用したものです．

74HC05のプルアップ電圧は，**図1-4**を見てわかるようにV_{CC}＋0.5V（最大6V）を越えることはできません．これに対して，74LS06は高耐圧型のためプルアップ電圧が最大30Vと大きく，コレクタ電流の最大値も40mAと余裕があります．

図1-5に74HC05を使ったオープン・コレクタ出力回路を示します．コレクタは抵抗でプルアップし，外部回路と接続します．OUTn端子がグラウンドに落ちても，R_1に小さな電流が流れるだけであり，問題ありません．しかし，大電流出力が必要であったり，過電圧が問題になる場合は，

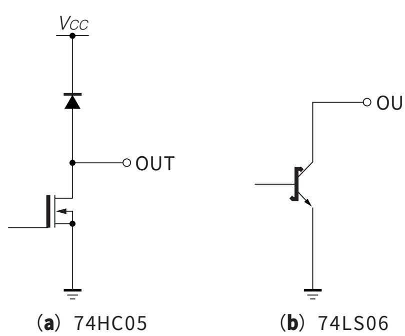


図1-4　74HC05と74LS06の出力側等価回路
74HC05はNチャネルMOSFETのドレイン，74LS06はショットキー接合型トランジスタのコレクタが出力につながっている．

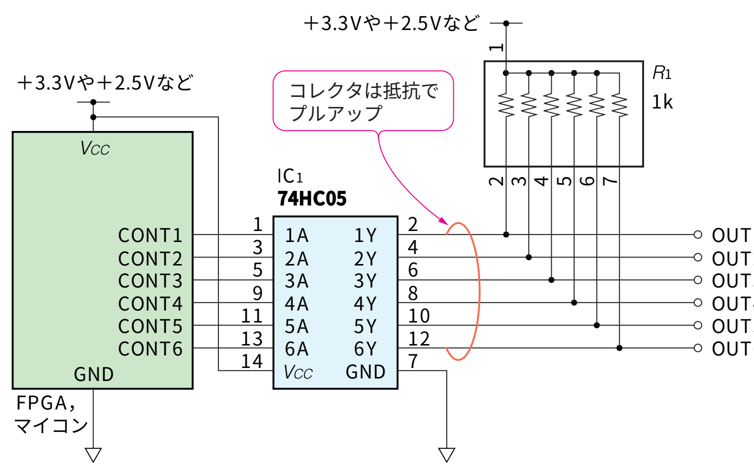


図1-5　74HC05を使ったオープン・コレクタ出力回路
OUTn端子がグラウンドに落ちてもR_1に小さな電流が流れるだけ．

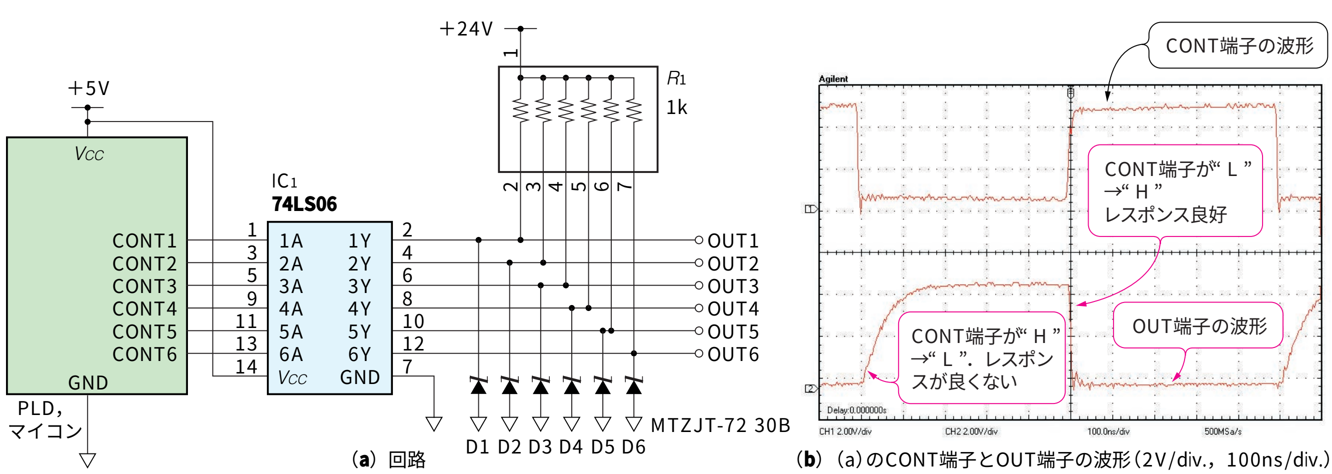


図1-6　74LS06を使ったオープン・コレクタ出力回路
OUT端子が“L”から“H”になるときのレスポンスが良くない．

これでは不十分です．

図1-6(a)は74LS06を使い，“H”を＋24Vとした回路です．出力端子に過電圧が印加されても，D_1～D_6のツェナー・ダイオードにより，出力端子が74LS06の最大定格である30Vを越えることはありません．

図1-6(a)の回路で負荷側の電源電圧を5VとしたときのOUT端子の波形を**図1-6(b)**に示します．CONT端子が“L”から“H”になると，OUT端子が“H”から“L”に落ちますが，このときのレスポンスは良好です．しかし，OUT端子が“L”から“H”になるときのレスポンスが良くありません．これはオープン・コレクタ特有の問題で，コレクタ負荷抵抗を通じて，負荷容量（この場合，ツェナー・ダイオードの容量成分）が充電されるカーブに相当します．負荷抵抗が小さいと遷移は急しゅんとなりますが，出力振幅が減少してしまいます．

図1-7は，**図1-6(a)**のツェナー・ダイオードを取り去った場合の波形です．ツェナー・ダイオードの容量がかなり影響していることがわかります．以上述べたことより，オープン・コレクタ回路はスピードが問題となる場合は要注意であることがわかります．

● 対策「ケース2」――集合抵抗

ケース2のパーシャル・パワー・ダウンの場合は，FPGAとマイコンのバス・ラインに，前述の集合抵抗を直列に入れるだけです．**図1-8**のように，FPGAとマイコンの間に抵抗（100Ω～1kΩ）を挿入します．この抵抗によってV_{OH}の流出電流とV_{OL}の流入電流を制限することができ，左側のFPGAの出力回路を過電流から保護できます．

図1-9はFPGAとマイコンのデータ・バスに抵抗アレイを挿入した場合です．通常，ここに入れる抵抗（10Ω～100Ω）の目的は，過電流対策ではなく，信号波形のオーバシュートやアンダシュート，リンギングによる誤動作を防止するためのものです．この抵抗は，上述の過電流対策にもなるので，試作当初は入れておきたいものです．いずれも万一のときのための対策素子ですから，検討のレベルが上がった場合（ソフトウェア的な対応ができた場合）は削除してかまいません．

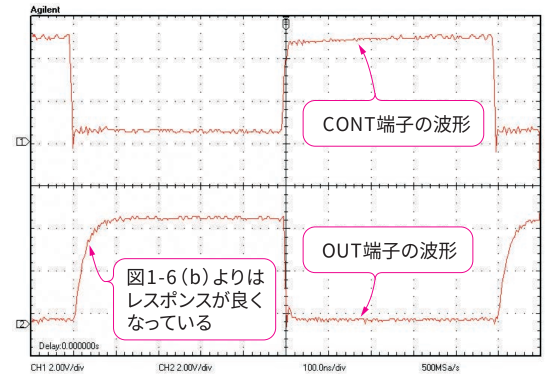


図1-7　図1-6(a)に示した回路で，ツェナー・ダイオードがない場合の波形(2V/div.，100ns/div.)
ツェナー・ダイオードの容量がかなり影響していることがわかる．

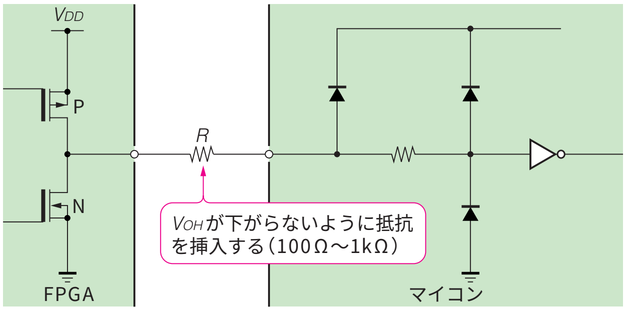


図1-8　パーシャル・パワー・ダウン対策
抵抗を入れ電流値を制限する．

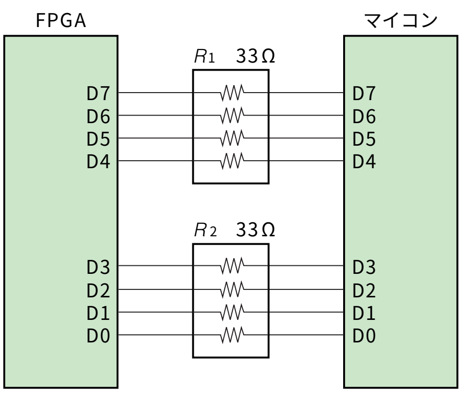
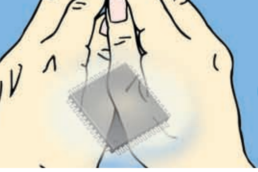


図1-9　誤動作防止，過電流保護用抵抗アレイ
試作段階では入れておきたい．

うるしだに・まさよし



key parts
ツェナー・ダイオード，バリスタ

静電気による内部回路の破壊を防ぐ

バリスタは端子間容量が小さいため高速信号伝送ラインでは有利．また，プラスとマイナスの信号を扱うアナログ入力端子にも向く
point

解決すべき課題

LSIは近年，大規模高集積化に伴って製造プロセスも微細化し，これによって低電圧化しています．LSI内部にはESD（electro static discharge；静電気放電）保護回路が，チップのボンディング・パッドと内部回路との間に組み込まれており，LSIの入力端子に加わるESDサージによる内部回路の破壊を防いでいます．微細化によってESD耐圧は低下するため，LSI設計者はESD保護回路の構造やレイアウトにくふうを凝らしてESD耐圧を維持，向上しています．図2-1にESD保護回路の配置を示します．

通常LSIは，ESD耐圧として人体モデルで2000V以上，機械モデルで200V以上を保証しています．しかし特定の端子は性能を出すためLSI内部の保護回路に十分な対策がとれずに，ESD耐圧値が200V以下，あるいは200Vぎりぎりの端子を内蔵した製品になることがあります．

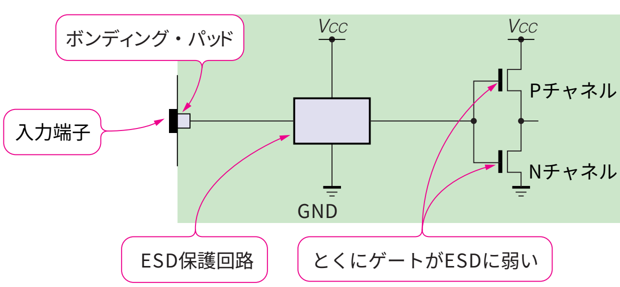


図2-1　LSI内部におけるESD保護回路の配置
とくにゲートがESDに弱い．

● 対策

LSIの入出力端子に高いESDが加わり，LSIが破壊する可能性がある場合は，ESD保護用ツェナー・ダイオードやバリスタを，LSIの入出力端子近くの信号線とグラウンド間に挿入することで解決できます．

ESD保護用のツェナー・ダイオードは，ある一定の電圧（ツェナー電圧）になると電流が流れる定電圧ダイオードです．バリスタとは，ある一定の電圧（バリスタ電圧）になると電流が流れる半導体セラミックス素子です．

ここではロームのESD保護用ツェナー・ダイオード「EDZC6.8B」と，パナソニック エレクトロニックデバイスのチップ形積層バリスタ「EZJZ0V80010」を例に説明します．表2-1にESD保護用のツェナー・ダイオードとバリスタの基本仕様を，図2-2に電圧-電流特性を示します．

EDZC6.8Bは，ツェナー電圧が6.8Vと低く，順方向電圧が－0.6V，端子間容量が3pFとなっています．一方，EZJZ0V80010は，バリスタ電圧（保護電圧）が±80Vと高く，端子間容量が0.8pFと小さくなっています．

ここでは意識的に端子間容量の小さい製品を選択しています．その理由はLSIの入力端子容量が通常3p～5pF程度であるため，大きな端子容量の保護素子を挿入して信号線の信号波形がなまるのを防止するためです．ESD保護用のツェナー・ダイオードやバリスタは各社から発売されており，保護電圧の種類や端子間容量（1pF，5pF，15pF，数百pF，数千pF）によって種類分けされているので，電源電圧や信号の速度など，用途に応じて使い分けます．

表2-1　ツェナー・ダイオード「EDZC6.8B」とチップ形積層バリスタ「EZJZ0V80010」の基本仕様

項　目	規格値
品　番	EDZC6.8B
サイズ	1608
ツェナー電圧V_z（I_z＝5mA）	最小6.65V，標準6.8V，最大6.93V
逆方向電流I_r（V_r＝3.5V）	最大0.5μA
端子間容量C_t（V_r＝0V，f＝1MHz）	標準3.0pF

（a）ESD保護用ツェナー・ダイオードEDZC6.8B基本仕様

項　目	規格値
品　番	EZJZ0V80010
サイズ	1005
形状（mm）	縦1.0×横0.5×高さ0.5±0.05
最大許容回路電圧	DC10V
バリスタ電圧（1mA）	公称80V
端子間容量C_t（f＝1MHz）	最大1.0pF，標準0.8pF
静電気耐量（IEC61000-4-2）	8kV（接触放電）

（b）バリスタEZJZ0V80010基本仕様

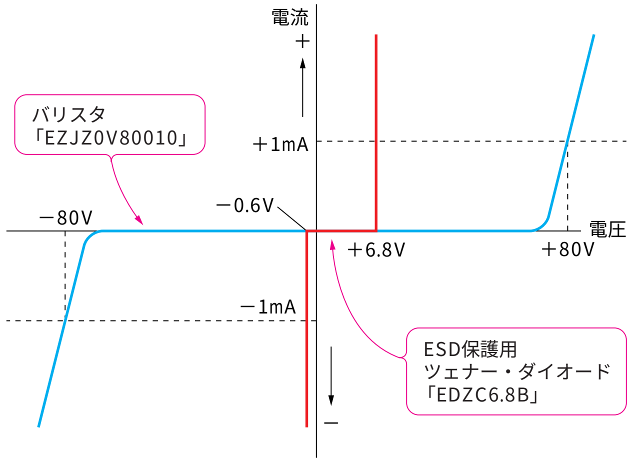


図2-2　ツェナー電圧-電流特性とバリスタ電圧-電流特性
バリスタは，ある一定の電圧になると電流が流れる．

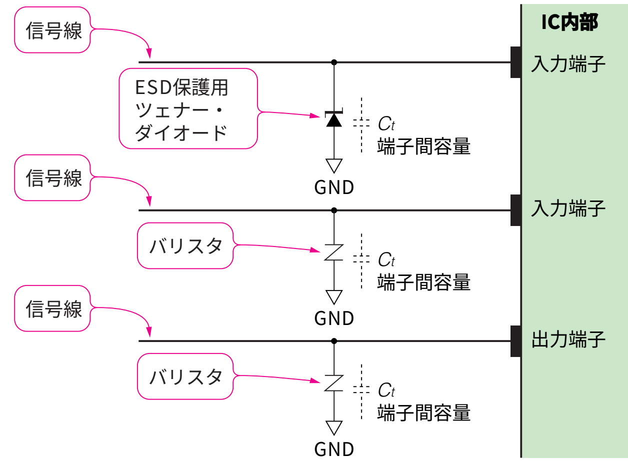


図2-3　ESD保護用ツェナー・ダイオードやバリスタの応用回路例
両者の特性をよく理解し，使い分けたい．

図2-3に応用回路例を示します．図2-3から信号線に加えたESDは，挿入したESD保護用ツェナー・ダイオードやバリスタを通してグラウンドに放電されます．したがって扱う信号の振幅がLSIの入出力端子のESD耐圧以下で十分低ければ，LSIをESDから保護できることになります．

● ESD保護用ツェナー・ダイオードとバリスタの使い分け

外形寸法は，EDZC6.8Bが1608サイズ，EZJZ0V80010が1005サイズです．小型化を目的とする場合はEZJZ0V80010が有利です．

EDZC6.8Bはツェナー電圧が＋6.8V/－0.6V程度と低いので，クランプ電圧を低く設定する場合に適しています．LSIの動作電圧はツェナー電圧よりも低く設定する必要があります．標準6.8V（最小6.65V）の製品の場合，動作電圧が5V以下ならば問題ありません．

EZJZ0V80010は端子間容量が標準0.8pFと小さいので500MHz以上の高速信号線に向きます．また，バリスタ電圧が±80Vと，プラス側とマイナス側が対象となっているので，プラス側とマイナス側に入力があるアナログ回路などにも向いています．最大許容回路電圧，すなわちバリスタに連続して加えられる最大電圧が10Vとなっているので，LSIの動作電圧は10V未満で使うことになります．動作電圧が5V以下なら問題ありません．

2

参考・引用*文献

(1) ローム；定電圧ダイオード EDZC6.8B データシート．
http：//www.rohm.co.jp/products/databook/di/pdf/edzc6.8b-j.pdf
(2) パナソニック エレクトロニックデバイス；EZJZ0V80010製品カタログ．

かわぞえ・あきお
エヌエス・マイクロエレクトロニクス（株）



コモン・モード・ノイズが伝送線路に重畳するのを防ぐ

key parts
LVDSインターフェース用IC

差動伝送線路で同相ノイズをキャンセルする．配線パターンはできるだけ対称にレイアウトする
point

解決すべき課題

FPGAやDSPなどといったLSI間の高速データ伝送において，コモン・モード・ノイズが伝送線路に重畳して信号品質の劣化を起こすことがあります．

● 対策

ここでは高速低消費電力インターフェースの主流であるLVDS（low voltage differential signaling；小振幅差動信号方式）インターフェース用IC「DS90LV011AH」（ドライバ）と「DS90LV012AH」（レシーバ）を用いた回路例を紹介します．LVDSインターフェース用ICの動作原理は**図3-1**のとおりです．ドライバの入力はLVTTL信号，出力は±3.5mAの定電流駆動で±350mVの差動信号となっています．ドライバ入力の"H"または"L"によって3.5mAの定電流の流れる方向が逆転します．

レシーバは差動信号を受けます．信号線は100Ω終端となっており，100Ω×3.5mAでレシーバのプラス入力とマイナス入力端には，350mVの電圧が発生します．この350mVという電圧は，ドライバの入力論理"H"または"L"によってプラスとマイナスが逆転します．したがって，レシーバの出力はドライバの入力論理に対応して"H"または"L"に変化します．なおレシーバのスレッショルド電圧は±100mVとなっています．

図3-2(a)にコモン・モード・ノイズ除去のテスト回路を，**図3-2(b)**にコモン・モード・ノイズを結合させていないレシーバ入力波形A'，B'と出力波形を，**図3-2(c)**に0.5$V_{P\text{-}P}$～1.75$V_{P\text{-}P}$のコモン・モード・ノイズが結合したレシーバ入力波形A'，B'と出力波形を示します．0.5$V_{P\text{-}P}$～1.75$V_{P\text{-}P}$のコモン・モード・ノイズが結合した場合でもノイズが除去されてきれいなレシーバ出力が得られています．

かわぞえ・あきお　エヌエス・マイクロエレクトロニクス（株）

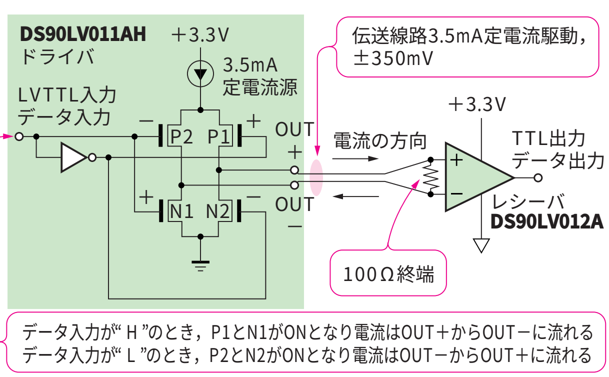
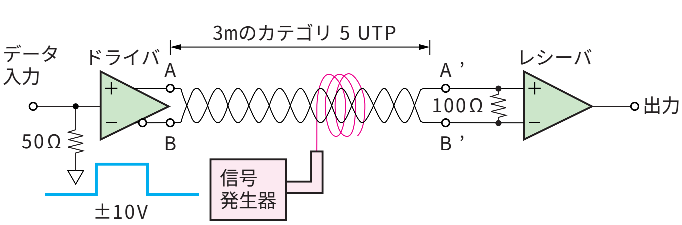
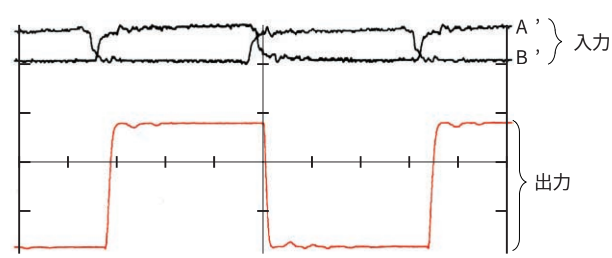


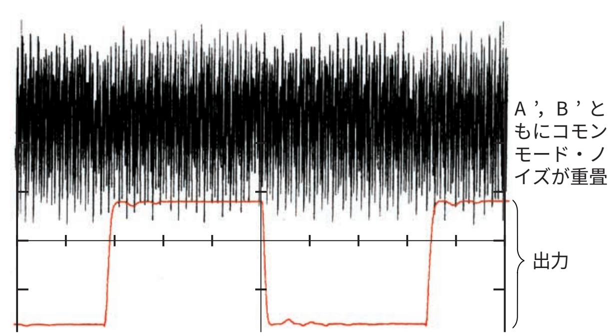
図3-1 LVDSドライバ/レシーバを用いたコモン・モード・ノイズ対策回路
信号線は100Ω終端となっており，100Ω×3.5mAでレシーバのプラス入力とマイナス入力端には350mVの電圧が発生する．



(a) テスト回路



(b) コモン・モード・ノイズが結合していないレシーバ入力波形A'，B'とレシーバ出力波形



(c) レシーバ入力A'，B'にピーク・トゥ・ピークで0.5V～1.75Vのコモン・モード・ノイズが結合してもクリーンなレシーバ出力が得られる

図3-2 コモン・モード・ノイズ除去のテスト回路とテスト結果
差動伝送ならノイズが除去されてきれいなレシーバ出力が得られる．

I/O端子電圧が1.8VのLSIに振幅5Vの信号を接続したい

key parts
入力トレラント・インバータ，オープン・ドレイン・バッファ

point
レベル変換が可能な標準ロジックICを，FPGAやマイコンとその周辺回路との間に挿入する

解決すべき課題

FPGAやDSP，マイコンなどのI/O端子電圧が1.8Vで，周辺回路の電源が5Vの場合，異なる信号レベル間をインターフェースする手段が必要になります．もし間に何も入れずに両者を接続すると，信号レベルの高い5V系から信号レベルの低い1.8VのI/O端子入力に電流が流れ込み，1.8Vで動作しているはずの電源が上昇してしまう可能性があります．もちろん信号を正常にやりとりできない可能性もあります．また，1.8VのI/O端子出力から5V系周辺回路へのインターフェースは，1.8Vから5Vにレベル変換（昇圧）する必要があります．

● 対策

レベル変換が可能な標準ロジックICを，FPGAやマイコンとその周辺回路との間に挿入することで解決します．

●対策1：入力トレラント・インバータを挿入

図4-1に6個入りインバータ「SN74LVC04A」を使用した高電圧対策回路を示します．このICは電源電圧が1.65V～3.6Vで，5V入力トレラント機能を備えており，5V系から1.8VのI/O端子への電流の流れ込みがなく，正常なインターフェースが可能です．信号の方向は5V系から1.8VのI/O端子への入力に限定されます．

●対策2：オープン・ドレイン・バッファを挿入

図4-2に6個入りオープン・ドレイン・バッファ「SN74LVC07A」を使用した回路を示します．このICは電源電圧が1.65V～5.5V，出力がNチャネル・オープン・ドレインとなっています．この出力を抵抗でプルアップし，かつ，プルアップ電源電圧を選択することにより出力電圧レベルを自由に設定できるので，信号レベルのダウンあるいはアップが可能になります．ただし，プルアップ抵抗の値が大きいと信号波形の立ち上がりがなまるので注意します．

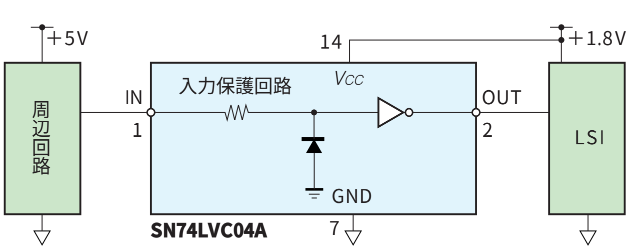
高速・多ビットのインターフェースが必要な場合は，2電源レベル・シフタICを採用すれば双方向のインターフェースが可能です．電圧レベルが5V⇔1.8Vや3.3V⇔1.2V，3.3V⇔1.8V，5V⇔3.3Vのレベル・シフトICがあります．

SN74LVC04AとSN74LVC07Aは米国Texas Instruments社の標準ロジックICで，低電圧ロジック「SN74LVCシリーズ」として提供されています．

参考・引用*文献

(1) Texas Instruments；SN74LVC04Aデータシート．http://focus.ti.com/lit/ds/symlink/sn74lvc04a.pdf
(2) Texas Instruments；SN74LVC07Aデータシート．http://focus.ti.com/lit/ds/symlink/sn74lvc07a-q1.pdf

かわぞえ・あきお
エヌエス・マイクロエレクトロニクス（株）



注）SN74LVC04Aの入力保護回路がどういう回路であるかは公開されていない．本回路は等価回路である．

図4-1　入力トレラント・インバータを使った電圧レベル差対策回路
信号の方向は5V系から1.8VのI/O端子への入力に限定される．

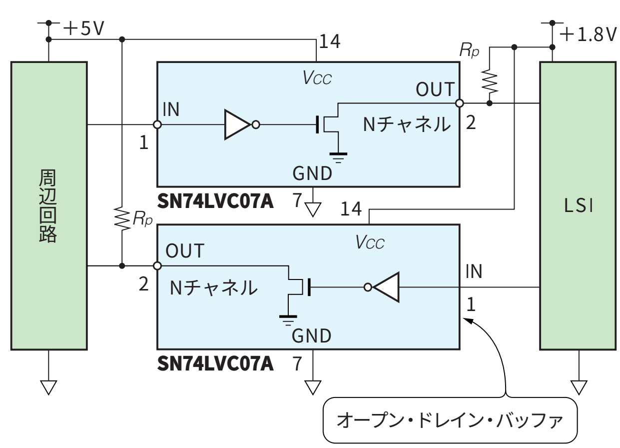
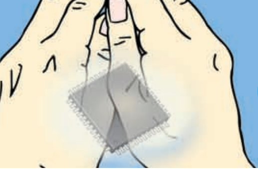


図4-2　オープン・ドレイン・バッファを使った電圧レベル差対策回路
プルアップ電源電圧を選択することにより出力電圧レベルを自由に設定できる．

2



key parts

標準ロジックIC，イコライザ，LVDS-LVDSバッファ

出力端子に大きな容量成分がぶら下がって波形がなまるのを防ぐ

point

出力信号をドライブするICを，伝送路の長さや信号周波数で使い分ける

解決すべき課題

負荷に大きな容量成分があって波形がなまると，信号の受け側ではタイミングの遅れやジッタが発生し，ビット・エラーを起こす可能性があります．

● 対策

対策としては次の四つが考えられます．

1) 出力のドライブ能力が高いLSIを選択する．
2) I/O端子と負荷との間にドライブ能力の高い汎用ロジックICを挿入する．
3) LSIの間にLVDS-LVDSバッファを挿入し，ドライブ能力を高める．
4) 信号の減衰や波形なまりを補正するイコライザをLSI間に挿入する．

以下で2)，3)，4)について詳しく説明します．

● 標準ロジックICを挿入する

LSIのI/O端子と負荷との間にドライブ能力の大きい標準ロジックIC「SN74LVTH244A」を挿入した回路を**図5-1**に，電気的特性の一部を**表5-1**に示します．SN74LVTH244Aは8個入りのバッファ兼ドライバで，2.7V～3.6Vで動作します．ドライブ能力（I_{OH}/I_{OL}）は－32mA/＋64mAで，5V入出力トレラント機能を持ちます．高速かつ高ドライブ能力を必要とするバック・プレーンなどの高負荷アプリケーションに最適なICです．

ここで取り上げた米国Texas Instruments社の「SN74LVT/SN74ALVTシリーズ」は，標準ロジック製品の中でもっともドライブ能力の大きな製品です．回路によっては負荷容量と波形のなまりぐあいから，ドライブ能力がもう

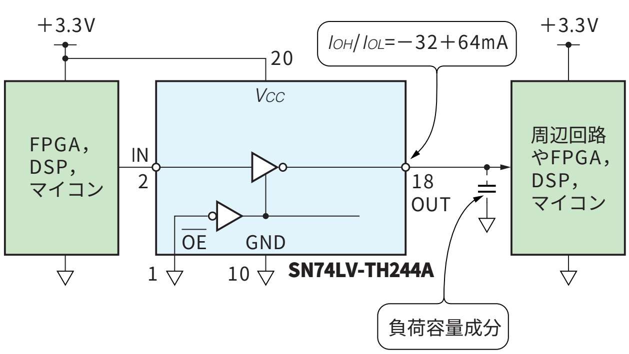


図5-1　汎用ロジックICをバッファ兼ドライバとして使った出力波形なまり対策回路
SN74LVTH244Aは8回路入り，5V入出力トレラント機能を持つ．

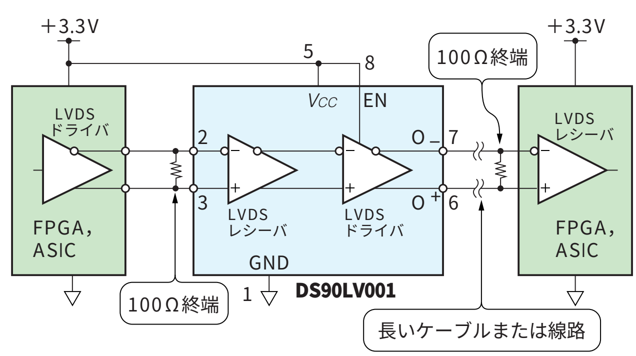


図5-2　LVDS-LVDSバッファを使った出力波形なまり対策回路
DS90LV001で信号をいったんバッファしたあとは，受信側のLSIのLVDS入力端子までの配線を長くできる．

表5-1　標準ロジックIC「SN74LVTH244A」の電気的特性

記号	条　件	最小	最大	単位
V_{CC}	―	2.7	3.6	V
V_{IH}	―	2	―	V
V_{IL}	―	―	0.8	V
V_I	―	―	5.5	V
I_{OH}	―	―	－32	mA
I_{OL}	―	―	64	mA
t_{pLH}	C_L＝50pF，V_{CC}＝2.7V	―	3.8	ns
t_{pHL}	C_L＝50pF，V_{CC}＝2.7V	―	3.6	ns

表5-2　LVDS-LVDSバッファ「DS90LV001」の電気的特性

No.	項　目
1	最大800Mbpsの伝送速度に対応
2	2.5kV以上のESD保護
3	800Mbps時に標準100psの定量的ジッタ
4	入力レベル　LVDS/LVPECL
5	入力スレッショルド・レベル　±100mV
6	バッファ出力レベル　±350mV
7	3.3V単一電源
8	パッケージは8ピンSOPまたはLLP

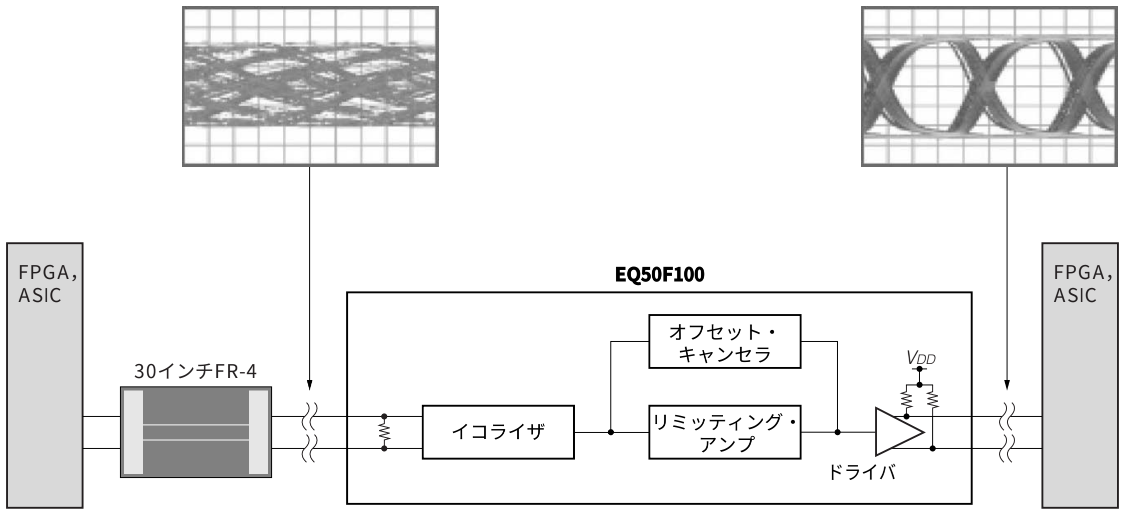


図5-3 イコライザを使った出力波形なまり対策回路
イコライザは受信側のLSIのCML入力端子近くに挿入する．

少し低い製品を選択することも可能です．

● LVDS-LVDSバッファを使用

LVDS信号のインターフェースにおいて，送信側のLSIから受信側のLSIまでの伝送線路が長く，波形がなまってしまう場合，LVDS-LVDSバッファ「DS90LV001」を送信側のLSI近傍に挿入する回路を**図5-2**に示します．**表5-2**にDS90LV001の特徴を示します．

DS90LV001は送信側のLSIの出力端子の近傍に配置し，出力端子とDS90LV001の入力端子間の配線長を短くします．そして，DS90LV001の出力を受信側のLSIの入力端子に接続します．DS90LV001で信号をいったんバッファしたあとは，受信側のLSIのLVDS入力端子までの配線を長くできます．なお，DS90LV001は，入力がLVDS，LVPECLの各レベルに対応しています．また，DS90LV001の電源電圧は3V～3.6Vですが，送受信側LSIのLVDS-I/O端子用電源の電圧は，3.3Vまたは5Vで使用できます．この理由は，LVDSバッファの出力が定電流駆動(3.5mA)のためです．

● イコライザを使用

CML(current mode logic)信号のインターフェースにおいて，送信側のLSIから受信側のLSIまでの伝送線路が長く，波形がなまってしまう場合，米国National Semiconductor社のイコライザ「EQ50F100」を受信側のLSIのCML入力端子近くに挿入する回路を**図5-3**に示します．**表5-3**にEQ50F100の特徴を示します．

EQ50F100はイコライザとリミッティング・アンプ，出力ドライバなどから構成されています．コーディングに依存せず，8B/10Bまたはスクランブル化されたビットの信号ストリームを扱います．また，データ入出力のオンチップCMLターミネーション機能を備えています．

表5-3 イコライザ「EQ50F100」の電気的特性

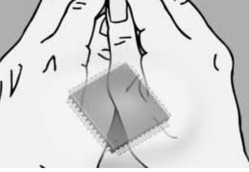
No.	項　目
1	1G～6.25Gbpsの伝送速度に対応
2	100mW以下の低消費電力
3	7kV以上のESD保護
4	5Gbps時に45psの定量的ジッタ
5	入力スレッショルド・レベル　±200mV
6	CML 100Ω終端抵抗内蔵
7	1.8V単一電源
8	パッケージは6ピンLLP，外形は3mm×3mm

図5-3の波形のように，配線パターン長さ30インチ，基板材質FR-4の線路において，減衰やなまり，波形くずれを補正し，アイ・パターンを確実に開いて，受信側LSIに送ります．これによってビット・エラーのない高速通信を実現します．

参考・引用*文献

(1) SN74LVTH244Aデータシート，Texas Instruments.
http://focus.ti.com/lit/ds/symlink/sn74lvth244a.pdf
(2) EQ50F100データシート，National Semiconductor.
http://cache.national.com/ds/EQ/EQ50F100.pdf
(3) DS90LV001データシート，National Semiconductor.
http://www.national.com/JPN/ds/DS/DS90LV001.pdf

かわぞえ・あきお
エヌエス・マイクロエレクトロニクス(株)



I/O 端子に信号が加わっているときにLSIの電源を先に落としたい

key parts
入力トレラント・インバータ，オープン・ドレイン・バッファ

標準ロジックICを挿入し，周辺回路の電源からLSIの入力端子に電流が流れ込まない回路構成にする

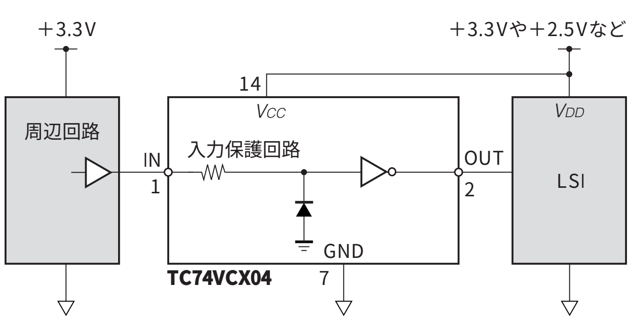
point

解決すべき課題

周辺回路の電源が入っているのにLSIの電源を先に落とした場合，周辺回路の出力端子からLSIのI/O端子を経て，LSIの電源に電流が流れ込み，LSIの電源電圧が完全に0Vにならず中途半端な電圧になる可能性があります．このような状態でLSIに電源が再投入されると，LSIに内蔵されているパワーONリセット機能などが正常に動作せず，LSIが正常に動作しない可能性があります．したがってLSIの電源が落ちたときは，I/O端子の電圧を完全に0Vにする必要があります．また，I/O端子の構造によっては過大な電流がLSIのI/O端子に流れてI/O端子の機能を劣化させる可能性もあります．

● 対策1

簡単に言ってしまえば，LSIの電源を先に落とした場合，周辺回路からLSIの電源に電流が流れ込まないようにすれば課題は解決します．まず，LSIの入力端子に入力トレラント機能を備えた端子があれば，この入力トレラント端子をI/O端子として周辺回路と接続すれば解決します．なおLSIに出力トレラント機能を持つ端子があれば，この端子を利用して周辺回路と接続しておけばより安全です．



注）TC74VCX04の入力保護回路がどういう回路であるかは公開されていない．本回路は等価回路である

図6-1　LSIの電源を先に落としても誤動作を起こさない回路（入力トレラント・インバータを挿入）

TC74VCX04は，入力端子保護回路のV_{CC}側の保護ダイオードを削除したIC．

●対策2

周辺回路とLSIのI/O端子との間に，以下に示す標準ロジックICを挿入し，周辺回路の電源からLSIの入力端子に電流が流れ込まない回路構成にすれば解決します．

● 入力トレラント・インバータを挿入

入力トレラント・インバータ「TC74VCX04」は，**図6-1**に示すように入力端子保護回路のV_{CC}側の保護ダイオードを削除したインバータICです．**図6-1**の等価回路からわかるとおり，TC74VCX04の電源V_{CC}とLSIの電源V_{DD}が落ちて，周辺回路のゲート出力が“H”のとき，TC74VCX04の入力端子に“H”が印加されますが，保護回路からV_{CC}に電流を流すダイオードがないため周辺回路の電源電圧はこのTC74VCX04でしゃ断されます．したがってTC74VCX04のV_{CC}とLSIのV_{DD}に電圧は印加されず，0Vを維持します．この回路は信号が高速の場合に適しています．なお，出力の論理が反転しますが入力トレラント・バッファを使うこともできます．

● オープン・ドレイン・バッファを挿入

オープン・ドレイン・バッファ「74LCX07」は，**図6-2**に示すように出力はNチャネルMOSFETとなっており，片側はグラウンドに接続されています．74LCX07の電源V_{CC}は周辺回路の電源に接続されおり，出力はプルアップ抵抗でLSIの電源V_{DD}に接続されています．今，LSIの電源V_{DD}が落ちて周辺回路の電源が入っている場合，74LCX07のNチャネルMOSFETによって周辺回路の電源電圧がしゃ断されるので，V_{DD}電源は0Vを維持します．またLSI側から周辺回路への信号の接続も記載しています．この回路例は二つの電源電圧が異なる場合にも使用できます．**表6-1**にこのICの特徴を示します．

バス・スイッチでも同じ動作が可能です．バス・スイッチの場合は，MOSスイッチの両端が独立して出力端子となっているので，IC外部で一方をグラウンドに接続し，他方を出力とした場合，オープン・ドレイン・バッファと同一の機能となります．

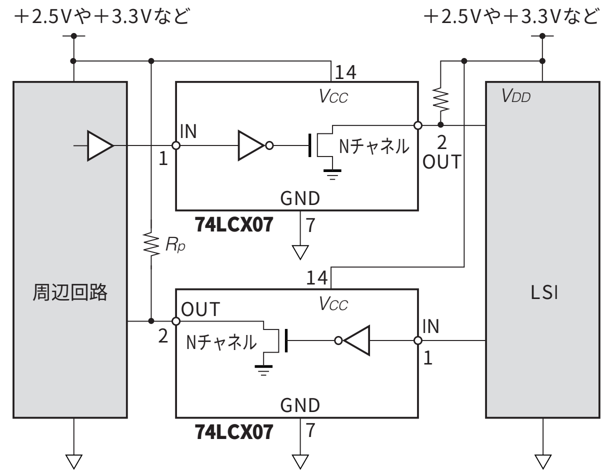


図6-2　LSIの電源を先に落としても誤動作を起こさない回路（オープン・ドレイン・バッファを挿入）
この回路は二つの電源電圧が異なる場合にも使用できる．

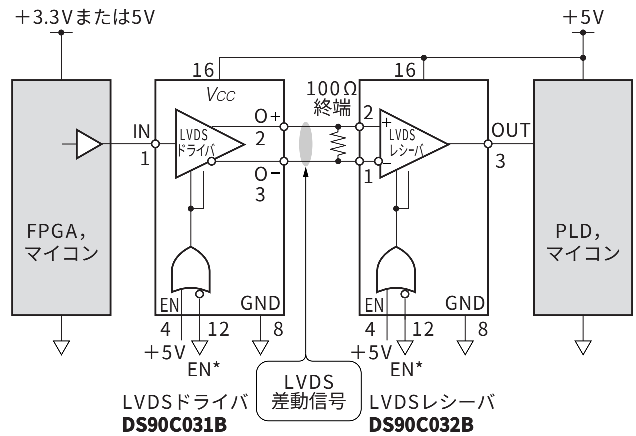


図6-3　LSIの電源を先に落としても誤動作を起こさない回路（LVDSドライバ/レシーバを挿入）
この回路は高速信号のインターフェースに向く．

表6-1　オープン・ドレイン・バッファ「74LCX07」の電気的特性と特徴

記号	条　件	最小	最大	単位
V_{CC}	—	2.3	5.5	V
V_{IH}	V_{CC} = 3.3V	2	—	V
V_{IL}	V_{CC} = 3.3V	—	0.8	V
V_I	—	0	5.5	V
V_O	—	0	5.5	V
I_{OL}	V_{CC} = 3.3V	—	24	mA
t_{pZL}	V_{CC} = 3.3V，R_p = 500Ω	—	3.7	ns
t_{pLZ}	V_{CC} = 3.3V，R_p = 500Ω	—	3.7	ns
5V トレラント入力				
電源OFF時は入出力ともにハイ・インピーダンス				

表6-2　LVDSドライバ「DS90C031BTM」とレシーバ「DS90C032BTM」の電気的特性と特徴

項　目	DS90C031B	DS90C032B
TIA/EIA-644規格に適合	○	○
155.5Mbps（77.7MHz）の転送レート	○	○
差動出力信号	±350mV	—
差動入力スレッショルド・レベル	—	±100mV
差動出力スキュー（最大）	400ps	600ps
伝搬遅延時間（最大）	3.5ns	6.0ns
電源OFF時ハイ・インピーダンス	LVDS出力	LVDS入力

● LVDSドライバ/レシーバを挿入

周辺回路とLSIのI/Oとの間にLVDSインターフェースICを挿入します．**図6-3**に回路例を示します．ただし，LVDSインタフェースICの選定に注意が必要です．電源がOFFのとき，出力がハイ・インピーダンスになる「DS90C031BTM」と，入力がハイ・インピーダンスになる「DS90C032BTM」を選択します．この選択によって周辺回路の電源はLVDSドライバ/レシーバで電源がしゃ断され，LSIのI/O端子に電流が流れ込むことはありません．この回路は高速信号のインターフェースに向いています．両ICの特徴を**表6-2**に示します．

ここでは標準ロジックICとして特定メーカの製品を説明しました．標準ロジックICの74VCXシリーズや74LCXシリーズは，東芝，米国Fairchild Semiconductor社，米国Texas Instruments社などから同一機能の製品が発売されています．また**図6-1**と**図6-2**の回路では，1回路ぶんしか記載していませんが，実際の設計に際しては必要なI/O端子数に対応した回路数を持つICを選択すれば効率が良くなります．

参考・引用*文献

(1) 東芝；TC74VCX04データシート．
http://www.semicon.toshiba.co.jp/td/ja/General_Purpose_Logic_ICs/Low_Voltage_CMOS_Logic_ICs/20060710_TC74VCX14FT_datasheet.pdf
(2) Fairchild Semiconductor；74LCX07データシート．
http://www.fairchildsemi.com/ds/74%2F74LCX07.pdf
(3) National Semiconductor；DS90C031BTMデータシート．
http://www.national.com/JPN/ds/DS/DS90C031B.pdf
(4) National Semiconductor；DS90C032BTMデータシート．
http://www.national.com/JPN/ds/DS/DS90C032B.pdf

かわぞえ・あきお
エヌエス・マイクロエレクトロニクス（株）

直流12VをリレーでON/OFFする際のノイズや消費電力を抑えたい

key parts
半導体リレー，
フォトMOSリレー

point
機械式リレーはON/OFFの際大きなノイズが発生する．代わりに半導体リレーやフォトMOSリレーを使う

解決すべき課題

マイコンやFPGAで12V以上の比較的高い電圧の回路を制御する場合，低速であればリレーを使うのが簡単です．図7-1によく使われる回路を示します．リレーの接点は，大電流をON/OFFしたときに大きなノイズが発生します．このノイズがCPUのポートや電源端子，リセット回路などに回り込んで，誤動作や暴走を引き起こすことがあります．とくに，モータやソレノイドなどの誘導性負荷の場合，切り換え時のノイズは大振幅のスパイク状であり，これがリレーの一次側に漏れ込みます．

そこで，図7-1のように，リレー接点にノイズ対策回路（スパーク・キラー）を追加します．この対策はある程度有効ですが，ノイズの振幅が大きい場合は，漏れ込む振幅も大きく，誤動作が収まらないことがあります．また，リレーは接点電流の大きいものほどコイル電流も大きく，導通期間が長い場合，消費電力も無視できません．チャタリングが問題になることもあります．

● 対策

対策の一つとして，半導体リレー（solid state relay，以降SSR），フォトMOSリレーなど，駆動コイルと機械式接点がないものを使えば，ノイズと絶縁の双方で良い特性が得られます．**図7-2**は直流12VをMOSFETでON/OFFする回路です．リレーは使っていませんが，マイコンなどの制御回路とグラウンドが共通であり，グラウンドの電位が異なる場合やノイズ対策の点では不利です．

SSRは，フォトカプラとトライアックから構成され，交流電圧を制御する用途に適しています．もともと機械式リレーの代替品として開発されたものであり，使いかたもリレーとほとんど同じです．ただし接点構成は1回路2接点だけであり，ノーマルOFFで，入力電圧が入るとONになります（逆もある）．SSRには，ゼロクロス型と非ゼロクロス型があります．ゼロクロス型は，入力電圧が入るとゼロクロス検出回路により交流電圧の0V近辺でトライアックがONします．入力電圧がOFFになると，トライアックの自己消弧作用により，負荷電流のゼロ近傍でOFFします．したがって，突入電流と過渡電圧が発生せず，マイコンやFPGAなどへのノイズ混入を抑制できます．非ゼロクロス型は安価なので，ノイズの配慮が必要ない場合は好適です．

フォトMOSリレーは，フォトカプラとMOSFETスイッチから構成され，小電力の交流・直流電圧を制御する用途に適しています．

● 実際の回路

SSRはゼロクロス型で5V制御，負荷電流最大2Aとします．例えば，松下電工のAQG22105が該当します．**表7-1**

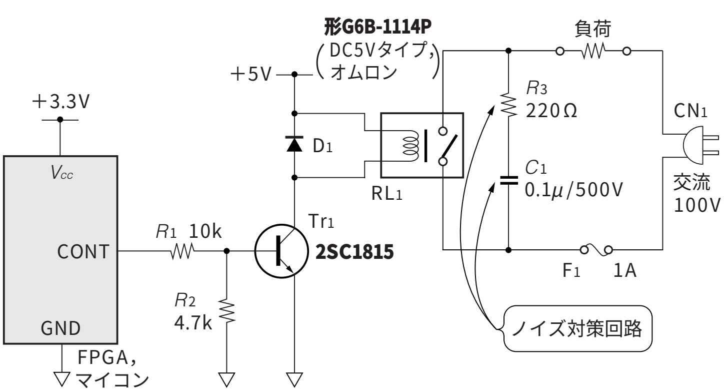


図7-1　リレーを使った交流100VのON/OFF回路
リレーは接点電流の大きいものほどコイル電流も大きく，導通期間が長い場合，消費電力も無視できない．チャタリングが問題になることもある．

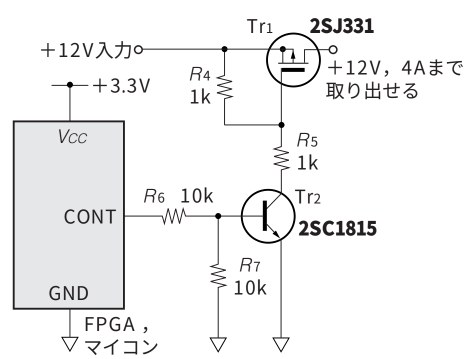


図7-2　MOSFETによる直流12V系回路の電流制御
リレーは使っていないが，マイコンなどの制御回路とグラウンドが共通であり，グラウンドの電位が異なる場合やノイズ対策の点では不利．

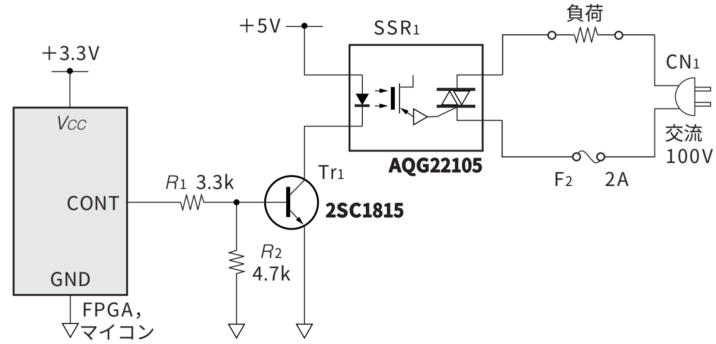


図7-3　SSRによる交流100VのON/OFF回路
メカニカルなリレーと同じように使える．

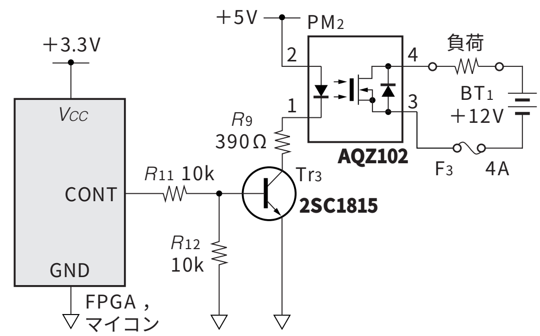


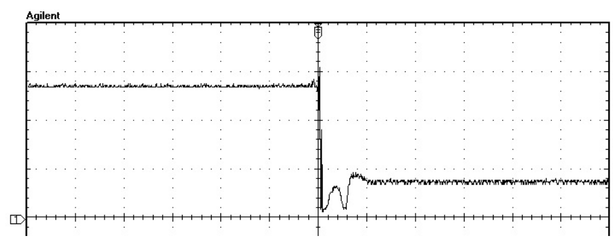
図7-4　フォトMOSリレーによる直流12V系回路の電流制御
小電力の交流・直流電圧を制御する用途に向く．

表7-1　SSR「AQG22105」の電気的特性の一部

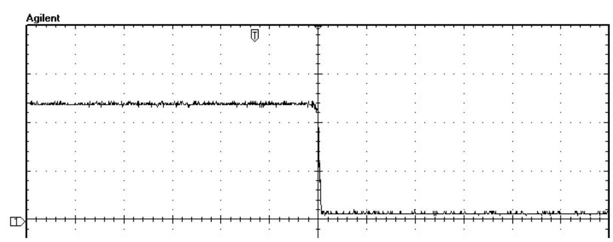
項　目	特性値
操作電圧	直流4V～6V
入力インピーダンス	約300Ω
復帰電圧	1V以上
負荷電流（最大）	2A　交流
負荷電圧	75V～264V 交流
OFF時電流	1.5mA以下
ON電圧	1.6V以下
負荷電流（最小）	20mA

表7-2　フォトMOSリレー「AQZ102」の電気的特性の一部

項　目	特性値
LED電流（最大）	50mA
LED電流（標準）	10mA
負荷電圧（最大）	60V　直流
負荷電流（連続）	最大4A
I/O絶縁耐圧	2,500V　交流



（a）リレーを駆動する図7-1のTr_1のコレクタ波形



（b）SSRを駆動する図7-3のTr_1のコレクタ波形

図7-5　SSRの制御波形には余分な振動がない（2V/div.，20ms/div.）
負荷は扇風機．

に概略仕様を示します．これを見ると駆動電流は，操作電圧が5Vのとき5V/300Ω　17mA程度であることがわかります．復帰電圧とは，規定の負荷を接続した状態で，操作電圧を5Vから減少させ，出力がOFFするときの電圧です．リレーもそうですが，OFF時は操作電圧を確実に0Vに落とすことがたいせつです．

表7-1を見ると，リレーがOFFとなっても，完全に切断するわけではなく，わずかな電流（最大1.5mA）が流れることがわかります．また，ON時電圧もいくらか発生します．これは素子の発熱につながります．もう一つ最小負荷電流というものがあり，20mA以下の負荷電流では望む性能が得られません．以上の点は，交流100Vのラインでは通常，問題になることはありません．SSRは半導体ですから，その電気的性質がやや複雑になることはやむを得ません．

以上，扱いが難しいように思われるかもしれませんが，実際の回路は，**図7-3**のようにきわめて簡単で，メカニカルなリレーと同じ使いかたができます．$h_{FE}=100$とした場合，ベース電流は［(5V－0.3V)/300Ω］/100　0.16mAとなります．R_1は(3.3V－0.6V)/(0.16mA×5)　3.3kΩとなります．スナバ回路（前述のRとCの直列回路）は内蔵されており，接点部のノイズ対策素子は不要です．

12V，3Aを制御できるフォトMOSリレーには例えば松下電工のAQZ102があります．**表7-2**に仕様の一部を示します．フォトカプラと同じように1次側はLED電流で規定されています．伝達特性はほとんど$I_F=10$mAで測定されていることから，LED電流を10mAに選びます．**図7-4**に回路を示します．LEDの電圧降下は1.2Vなので，$R_3=$(5V－1.2V)/10mA　390Ωとなります．

図7-5(a)は，リレーを使った**図7-1**のTr_1のコレクタ波形，**図7-5(b)**はSSRを使った**図7-3**のTr_1のコレクタ波形です．負荷は誘導性（扇風機）です．SSRの制御波形は，余分な振動がなく優れていることがわかります．

うるしだに・まさよし

外部回路との絶縁を確保したい．通常のリレーでは発熱や消費電力が気になる

key parts ラッチング・リレー

point ラッチング・リレーはコイルに通電しておく必要がない

解決すべき課題

マイコンやFPGAで外部回路を駆動する場合，外部回路との絶縁を確保するいちばん簡単な方法は図8-1のようにリレーを使うことです．しかし，リレーをON/OFF操作せずに長時間コイルに通電した状態のまま使うと，次のような問題が発生します．

1）コイルの発熱により，コイル巻線の絶縁が劣化する．
2）接点表面の化学変化により接触抵抗が増加する．
3）コイル通電による消費電力が問題になる．
4）停電時に非通電状態（OFFまたはON）に戻る．

ON/OFFの状態の一方の時間が格段に長い場合は，この状態をコイル通電OFFに設定すればよいのですが，どちらも同程度の時間であるならば，効果はありません．

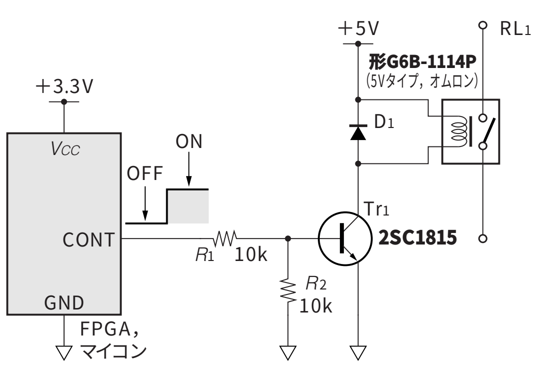


図8-1　シングル・ステイブル・リレーをON/OFFさせる回路
リレーのコイルに長時間通電するといくつかの問題が生ずる．

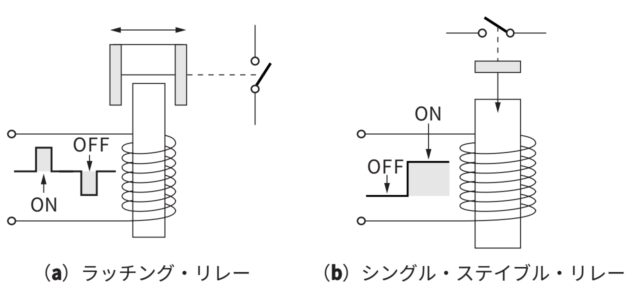


図8-2　通常のリレーとラッチング・リレーの原理
(b)の場合，ON状態を保持するためにコイルに電流を流し続ける必要がある．

● 対策

この対策としては，**図8-2(a)**のようなラッチング・リレーがお勧めです．**図8-2(b)**のタイプは，シングル・ステイブル・リレーと言います．シングル・ステイブル・リレーは，コイルに通電すると，鉄片が吸引されてONとなります．このON状態を保持するには，コイルに電流を流し続ける必要があります．

これに対してラッチング・リレーは，鉄片がコイルの磁芯に吸引される状態が2通りあります．二つの鉄片の間には磁石がサンドイッチになっているので，吸引状態は左側または右側に固定されます．接片はコイルの電流の向きがプラスなら左側，マイナスなら右側に倒れます．電流を流し続ける必要はありません．ラッチング・リレーとシングル・ステイブル・リレーとの違いは，磁芯と接片の構造だけです．このタイプのリレーを1巻線タイプと言います．

ラッチング・リレーにはもう一つ，2巻線タイプがあります．**図8-2(a)**では，コイルに加える電圧の極性（つまり電流の向き）を変えることにより，ONかOFFを指定しています．電圧を反転させることは，マイコンの出力を少々変更する程度で実現できるものではありません．これを嫌って簡単な回路で制御できるようにしたものが**図8-3**の2巻線タイプです．**図8-3**の右側（OFF）と，左側（ON）の位置でラッチ（固定）するので，コイルにはパルスを加えるだけでよく，また，極性を変える必要もないので，マイコンから直接制御できる利点があります．しかし，コイルが2個必要になるため，構造が複雑になり，コストやスペース

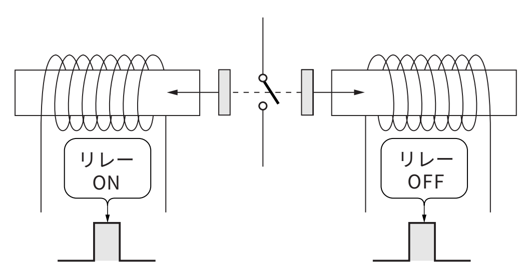
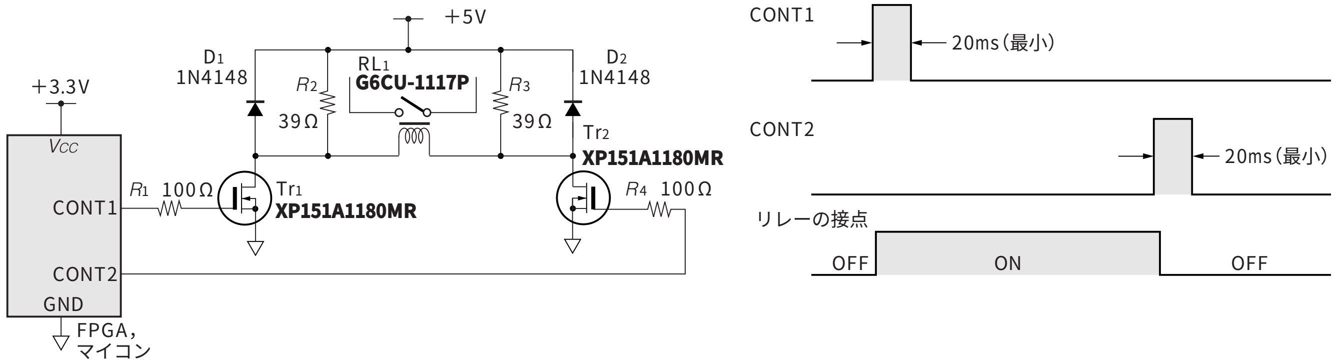


図8-3　2巻線型ラッチング・リレーの原理
コイルにはパルスを加えるだけで良く，また，極性を変える必要がないため，マイコンから直接制御できる．



（a）回路図　　（b）マイコン端子からの出力波形

図8-4　1巻線ラッチング・リレーをON/OFFさせる回路
電源電圧の70％以上の電圧で制御すれば確実に切りかわる．

の点からベストの解とは言えません．少々回路が複雑になっても，機構部分を減らし，回路で補うほうが良い結果が得られます．ここでは1巻線タイプを使うことにします．

● 実際の回路

図8-4（a）に1巻線ラッチング・リレーの駆動回路を示します．CONT1，CONT2の制御波形は，**図8-4（b）**のようになります．ラッチング・リレーは電源電圧の70％以上の電圧で制御すれば確実に切りかわります．

この回路はリレーに直列に抵抗を入れる必要があるので，抵抗値の選択には注意が必要です．5Vの70％である3.5Vがコイルにかかる最低電圧です．コイル抵抗が125Ωなので，このときの電流は3.5V/125Ω＝28mAになります．CONT1とCONT2の“L”を0.5Vとした場合，R_2またはR_3に加わる電圧は，5V－3.5V－0.5V＝1Vとなります．したがって，R_2＝1V/28mA　36Ωとなるので，入手しやすい39Ωを選びました．

Tr_1，Tr_2のON電流は，コイル電流の28mA＋（R_2またはR_3に流れる電流；約120mA）＝約150mAになります．パルス的な電流ながら，パルス幅がけっこう広いので，最大ドレイン電流（連続）の定格を越えないように素子を選びます．ここでは，手持ちの関係で最大ドレイン電流1Aのものを使いましたが，200mA程度のものでかまいません．発熱はないので，素子の放熱に気を遣う必要はありません．

D_1とD_2は，コイル切り換え時の逆電圧を，5V－0.7V＝4.3Vにクランプして，Tr_1，Tr_2を保護する役割をします．

Tr_1，Tr_2のゲートには保護用として100Ωを入れていますが，この部分の配線パターンが長くなければ削除できます．Tr_1，Tr_2のゲート電圧が約3V以上でON，2V以下でOFFとなります．

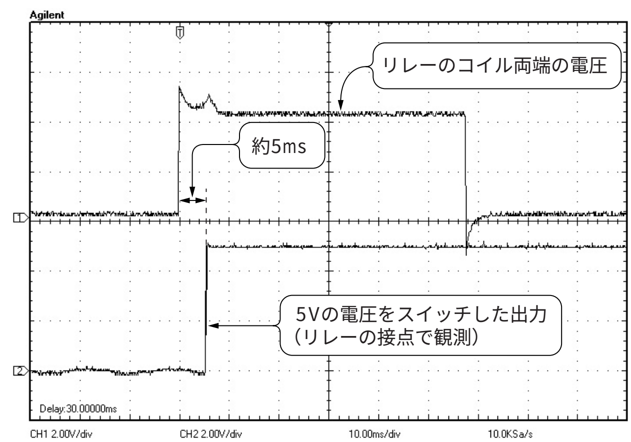


図8-5　ラッチング・リレーの制御波形とリレー接点の出力波形
上段のパルスが立ち下がった後も，接点の状態がONのままに保持されている．

図8-5の上段は，リレーのコイル両端の電圧です．コイルにはこのようにパルス的に電圧を加えます．この図の場合はプラスのセット・パルスですが，この後に加える電圧は，マイナスのリセット・パルスとなります．下段は，リレーの接点で5Vの電圧をスイッチした出力です．リレーは機械式のスイッチですから，コイルに電圧を加えてから接点がONするまでに時間的な遅れが発生します．ここでは約5msとなっています．また，スイッチONの傾斜部分には，チャタリングが見られます．

図8-5の上段のパルスが立ち下がった後も，接点の状態がONのままに保持されていることがわかります．また，コイルの逆電圧が±0.7Vの範囲内にクリップされていることも確認できます．なお，上段のパルス幅は，最小値20msよりも広くなければなりません．

うるしだに・まさよし

ソレノイドを数百mAの電流で駆動したい

key parts
ダーリントン・トランジスタ，ソレノイド

point
ソレノイドをトランジスタ１石では駆動しきれない．ダーリントン接続で駆動する

解決すべき課題

FPGAやマイコンの出力端子は，１ピン当たり数mAしか取り出せないのが普通です．しかし，負荷がリレーの場合は数十mA，ソレノイド（電気エネルギーを機械的な直線運動に変換する部品）の場合は数百mAが必要とされます．写真9-1にソレノイドの例を示します．上は1Aクラス，下は数十mAのものです．このような負荷をトランジスタ１個で駆動しようとすると，思わぬトラブルに巻き込まれることがあります．

● 対策

コイル抵抗100Ωのソレノイドを，**図9-1**のようにトランジスタ1本でドライブするとします．簡単に計算して，コレクタには5V/100Ω＝50mAが流れます．h_{FE}を100とすれば，ベース電流は0.5mA必要となるので，R_1は10kΩで十分でしょう．しかし，この回路は非常に小さな確率ですが，動作しないことがあります．上の計算では，トランジスタの飽和電圧，V_{OH}の低下，R_2に流れる電流などを無視していますが，いちばんの問題はh_{FE}のばらつきと，コレクタ電流によるh_{FE}の変化です．仕様書では，h_{FE}＝120～240（Yランク）となっていますが，これはコレクタ電流が2mA，コレクタ-エミッタ電圧が6Vの場合です．**図9-2**はTr_1のh_{FE}-I_C特性ですが，コレクタ-エミッタ電圧V_{CE}が1Vでは，コレクタ電流の増大とともに，h_{FE}が急激に低下することがわかります．また，低温でも低下します．このh_{FE}の低下と，ほかの条件の最悪ケースとが重なると，Tr_1がONしなくなります．対策として，R_1を小さくしたり，h_{FE}のランクを一つ上にするなどがありますが，**図9-3**のようにダーリントン接続にしてh_{FE}をひとけた上げてしまうのがいちばん確実な方法です．

実際には**図9-3**の接続の回路を複数内蔵した，ダーリントン・トランジスタ・アレイを使います．**図9-4**に端子接続図を示します．TD62000シリーズは，NPNダーリントン・トランジスタが7回路入っています．**図9-4**の中のダイオードは，誘導性負荷駆動時に発生する逆起電力を，電源電圧にクランプして，トランジスタの破壊を防止します．ベース電流を制限するための抵抗は内蔵されています．出力耐圧は50Vと高いので，負荷回路の電源電圧はかなり広い範囲で選ぶことができます．

出力電流は，1チャネル当たり最大0.5Aであり，小型機器のモータやソレノイドは，このICだけで対応できます．h_{FE}は，**図9-3**のように二つのトランジスタのh_{FE}の積となり，最小で1000という値が保証されています．TD62001からTD62004の4種類がありますが，違いは入力制御電圧の範囲だけです．

図9-5(a)はステッピング・モータと1Aクラスのソレノ

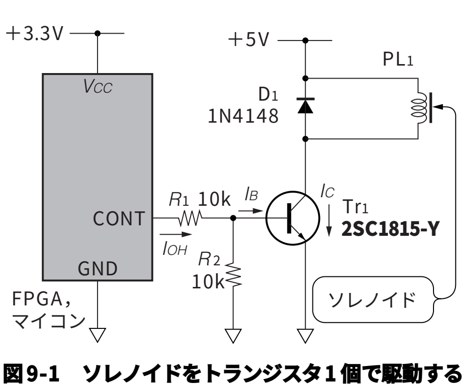


図9-1　ソレノイドをトランジスタ1個で駆動する回路
この回路は非常に小さな確率ではあるが，動作しないことがある．

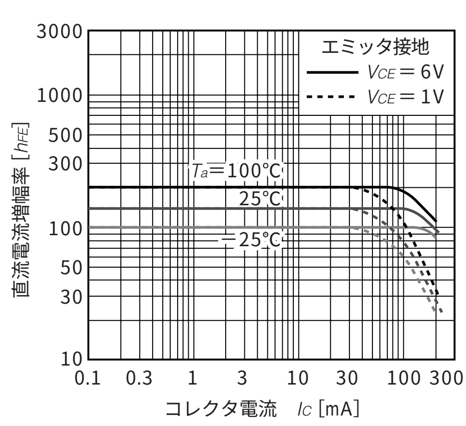


図9-2　NPNトランジスタ2SC1815のh_{FE}-IC特性
h_{FE}が急激に低下するポイントがある．温度の影響も大きい．

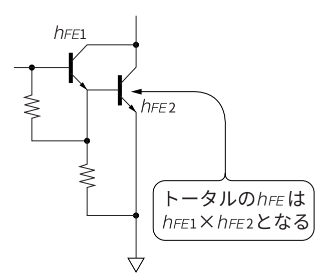


図9-3　ダーリントン接続
トータルのh_{FE}は二つのトランジスタのh_{FE}の積となり，最小で1000という値が保証されている．

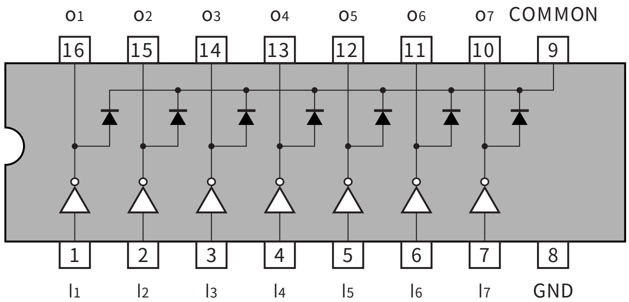


図9-4　TD62000シリーズ（東芝）のピン接続

TD62001は入力抵抗がない（0Ω）ため，外部に抵抗を付ける必要があるが，任意のON電圧に設定できる利点がある．TD62002はレベル・シフト用ツェナー・ダイオードと入力抵抗が直列に入っており，ON電圧が14.5V～24Vと高いため，24Vシステムに向く．TD62003はON電圧が2.8V以上，OFF電圧が0.7V以下と，TTLやCMOS回路向けにちょうどよい値をもつ．TD62004は，ON電圧が6.2V以上であり，12Vシステム向け．3.3V～5Vシステムでは通常，TD62003を使う．

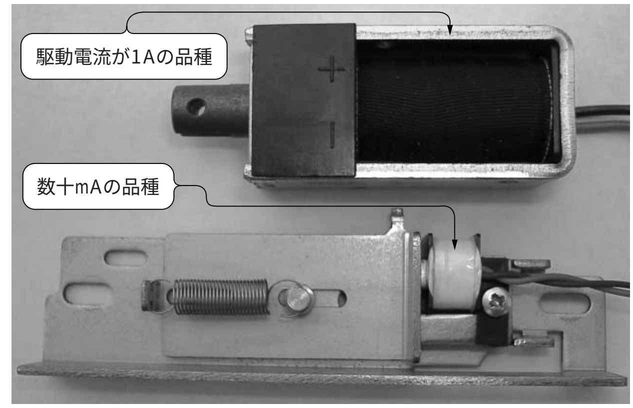


写真9-1　電気エネルギーを機械的な直線運動に変換するソレノイド

イド1個を同時に駆動する回路です．ステッピング・モータは5.6V，0.4A/φ，コイル抵抗14Ω/φのハイブリッド型です．励磁シーケンスは，4ピンのうちどれか二つが通電するようなパターンです．また，ソレノイドはコイル抵抗6Ωで，**写真9-1**に示したものです．いずれもパルス駆動ですが，TD62003の最大定格や推奨動作条件と照らし合わせて，平均損失が最大定格を下回るように設計しなければなりません．

推奨動作条件によると，7回路とも同時ONならば，デューティ比50％で130mA/チャネル，デューティ比10％で370mA/チャネルとなっています．しかし，同時にONするのは，ステッピング・モータで2チャネル，ソレノイドがこれと非同期に1チャネルの計3チャネルです．

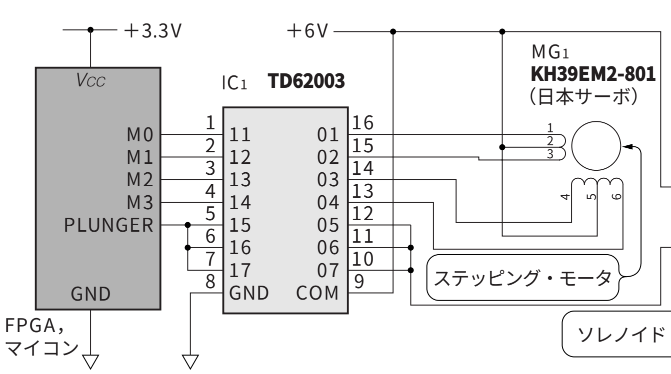
したがってまず，許容損失1.47W（APタイプ）の70％（約1W）を超えないように設計してみましょう．ステッピング・モータは，デューティ比50％が2チャネルなので，結局1チャネルが連続動作したと同じことです．コレクタ飽和電圧が1Vなので，1V × 0.4A ＝ 0.4Wがステッピング・モータ回路の損失となります．

ソレノイドは，6V，6Ωでデューティ比10％として，損失は，1V × 1A × 0.1 ＝ 0.1Wです．合計0.4W ＋ 0.1W ＝ 0.5W ＜ 1Wとなり，問題ありません．

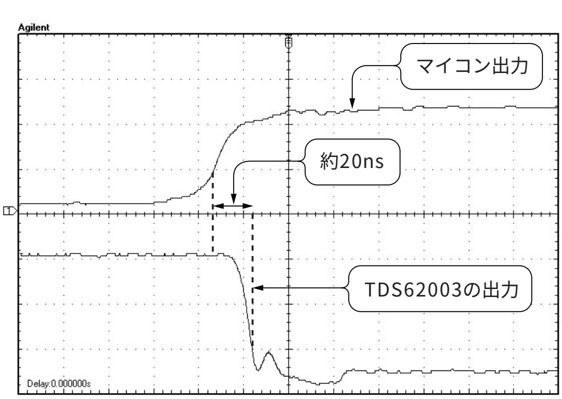
最大定格には，許容損失以外にチャネル当たりの最大電流（500mA）が定められています．ソレノイドは，瞬時ではありますが1Aの電流が流れるため，この定格をオーバーします．したがって，3チャネル分を並列にすることで，330mA/チャネルに抑えています．

図9-5（b）にマイコン出力と，TD62003の出力端子の実測波形を示します．ターン・オン時間t_{ON}は約20nsと読み取れます（仕様では標準100ns）．

うるしだに・まさよし



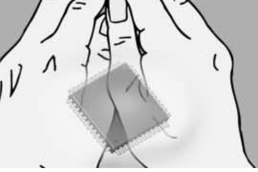
（**a**）回路



（**b**）マイコン出力波形とTDS62003出力波形

図9-5　ステッピング・モータやソレノイドの駆動回路

いずれもパルス駆動だが，平均損失が最大定格を下回るように設計する．



フラッシュ用白色LED3本を80mAの電流で駆動したい

key parts: LEDドライバ

point: さまざまな機能に特化した専用ICがある．知っていれば設計が楽になる．

解決すべき課題

カメラ付き携帯電話端末機のフラッシュ用白色LEDを３個駆動します．白色LEDの順方向電圧V_Fは，4.3V（順方向電流I_Fが80mAのとき）です．３個直列に接続すると，合計12.9Vの駆動電圧が必要になります．12.9V，80mAをLSIの端子から直接取り出すことはできません．

● 対策

リチウム・イオン電池の電圧3.2V～4.2Vでは，LEDを直接駆動できないので，スイッチング・レギュレータで昇圧して駆動します．駆動方式は，白色LEDの順方向電圧（V_F）のばらつきによる影響を軽減するため，定電圧駆動ではなく定電流駆動が一般的です．

図10-1に回路図を，**図10-2**にタイム・チャートを示します．米国National Semiconductor社のLM2733は40V耐圧の昇圧型スイッチング・レギュレータで，入力電源は3.2V～4.2Vのリチウム・イオン電池となっています．チップ・ビーズとC_fは入力V_{in}へのノイズ防止用，Lは10μHのインダクタ，DはV_Fが約0.4V（順方向電流が80mAのとき）のショットキー・バリア・ダイオードです．Nチャネル MOSFETはスイッチ用です．スイッチング・レギュレータの最高出力電圧V_{out}は約14.13V（＝1.23V＋12.9V）程度となります．

LM2733には$\overline{\text{SHDN}}$端子があり，この入力が“L”ならOFF状態となっています．このときV_{out}には，ほぼV_{in}電圧（3.2V～4.2V）が出ていますが，白色LED 3個のV_Fは10.5V（I_Fが20mAのとき）となるため，発光することはありません．

$\overline{\text{SHDN}}$端子を“H”にするとLM2733はONとなり，昇圧動作を行いLM2733のFB端子レベルが1.23Vになるよう制御され，R_2を通して白色LED 3個に予備発光電流20mAが流れます．この予備発光時にカメラの測光や焦点合わせなどの設定を行って，その後MOSFETをONにしてR_1を通して電流60mAをさらに流すようにしています．

白色LED 3個にはフラッシュ電流20mA＋60mA＝80 mAを流して写真を撮影します．20mA，80mAは写真を撮影するときにだけ動作するパルス電流です．この動作が終了すると$\overline{\text{SHDN}}$端子を“L”にしてLM2733をOFF状態に戻します．

かわぞえ・あきお
エヌエス・マイクロエレクトロニクス（株）

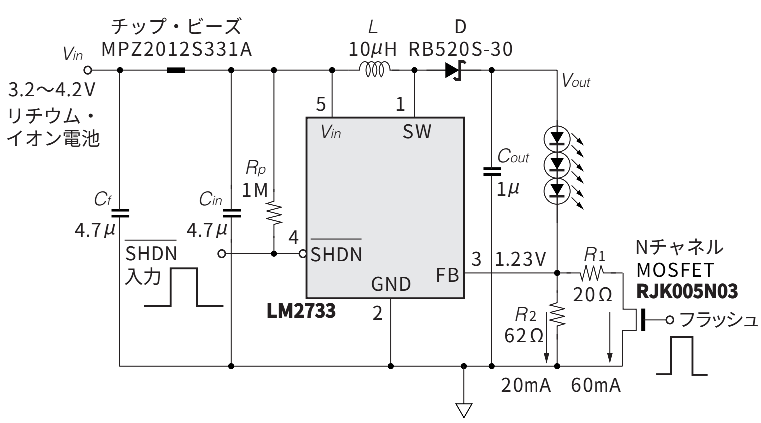


図10-1　カメラ・フラッシュ用白色LED駆動回路例
白色LED3個を定電流駆動できる．

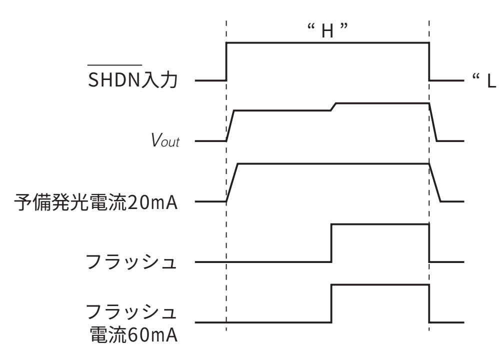


図10-2　白色LEDドライバ「LM2733」の制御タイム・チャート
$\overline{\text{SHDN}}$端子を“H”にするとLM2733はONとなり，昇圧動作を行いLM2733のFB端子レベルが1.23Vになるよう制御され，R_2を通して白色LED 3個に予備発光電流20mAが流れる．